

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-013708

(43)Date of publication of application : 01.02.1979

(51)Int.Cl.

H04L 3/00

G06F 5/02

H03K 13/24

(21)Application number : 52-079606

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 04.07.1977

(72)Inventor : FUJII YOJI  
AOYAMA HIROSHI  
MIKI TETSUYA

## (54) CODE CONVERSION SYSTEM

## (57)Abstract:

PURPOSE: To simplify the regeneration of clocks, and to apply it to a transmission line with DC cut-off characteristics that a pulse is caused to rise at every clock cycle constantly with a code having no DC component made to correspond to the logic of a digital signal.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁  
公開特許公報

⑩特許出願公開  
昭54—13708

⑤Int. Cl. <sup>2</sup>	識別記号	⑥日本分類	庁内整理番号	④公開	昭和54年(1979)2月1日
H 04 L 3/00		96(2) E 3	6372—5K	発明の数	2
G 06 F 5/02		97(7) E 2	7323—5B	審査請求	有
H 03 K 13/24		98(5) F 3	7125—5J		

(全 4 頁)

④符号変換方式

②特 願 昭52—79606  
②出 願 昭52(1977)7月4日  
②発 明 者 藤井洋二  
横須賀市武1丁目2356番地 日  
本電信電話公社横須賀電気通信  
研究所内  
同 青山啓

横須賀市武1丁目2356番地 日  
本電信電話公社横須賀電気通信  
研究所内  
②発 明 者 三木哲也  
横須賀市武1丁目2356番地 日  
本電信電話公社横須賀電気通信  
研究所内  
⑦出 願 人 日本電信電話公社  
⑦代 理 人 弁理士 鈴木誠

明 細 書

発明の名称

符号変換方式

特許請求の範囲

1. クロック周期をTとしたとき、2値信号の一方の状態は最初のT/2が第1レベルを、続くT/2が第2レベルをとる符号に対応させ、他方の状態は最初のT/4が第1レベルを、続くT/4ごとに第2レベル、第1レベル、第2レベルをとる符号に対応させることを特徴とする符号変換方式。
2. クロック周期をTとしたとき、2値信号の一方の状態は最初のT/2が第1レベルを、続くT/2が第2レベルをとる符号に対応させ、他方の状態は最初のT/4が第2レベルを、続くT/4ごとに第1レベル、第2レベル、第1レベルをとる符号に対応させることを特徴とする符号変換方式。

発明の詳細な説明

本発明は符号変換方式、詳しくは、論理“0”お

よび“1”の2値信号をその電力スペクトラムに直流成分を含まず、かつ容易にクロックの再生がなされる符号形式に対応させる符号変換方式に関するものである。

デジタル信号を伝送する場合、その符号形式は伝送路の特性や回路規模などを考慮して決定される。一般的条件として、電力スペクトラムに直流成分をもたないこと、クロックの再生が容易であること、回路構成が簡単であることなどがある。従来、最も基本的な符号形式は2値NRZや2値NRZであるが、これらは直流成分を有しており、また“0”が連続する場合にはクロック情報が失われるという欠点を有している。これに対して、直流成分をもたず、かつ“0”が連続してクロック情報が失われないCMI符号などが提案されているが、クロックの再生にはタンク回路が必要であるなどの欠点を有している。

本発明はこれらの欠点を除去するため、デジタル信号の論理“0”についても“1”についても直流成分を有しない符号を対応させ、かつ、クロッ

クの再生を容易にするため、クロック周期  $T$  ごとに必ずパルスの立上りを生ずるようにしたもので、以下図面について詳細に説明する。

第1図は本発明による符号形式を示したもので、クロック周期を  $T$  としたとき、“0”に対しては、最初の  $\frac{T}{2}$  がHレベル（ハイレベル）で、続く  $\frac{T}{2}$  がLレベル（ローレベル）の符号を、“1”に対しては、最初の  $\frac{T}{4}$  ごとLレベル、Hレベル、Lレベルとなる符号を対応させるようにしたものである。このような符号形式をとると、“0”および“1”の符号はそれ自身で直成成分をもたないため、どのようなマーク率、符号列に対しても直成成分を無くすることができる。また、“0”および“1”の符号とも、最初の  $\frac{T}{4}$  はHレベルで、最後の  $\frac{T}{4}$  はLレベルであるため、クロック周期ごとに必ずパルスの立上りが生じ、これがクロック情報となる。第2図に“1”“1”“0”“1”“0”に対する符号変換列を示す。

第3図は本発明の一実施例で、(a)図は変換回路、(b)図は逆変換回路を示す。第3図(a)において、1は信号入力端子、2はクロック入力端子、

特開昭54-13708(2)

3は符号出力端子、4は否定回路、5は論理積回路、6は遅延回路、7は排他的論理和回路、8は論理積回路、9は論理和回路である。一方、第3図(b)においては、11は符号入力端子、12はクロック出力端子、13は信号出力端子、14は単安定マルチバイブレータ、15は遅延回路、16はJKフリップフロップ、17は遅延回路、18は単安定マルチバイブレータ、19はDフリップフロップである。第4図(a)は第3図(a)の変換回路の動作を説明するためのタイムチャートであり、第4図(b)は第3図(b)の逆変換回路の動作タイムチャートである。なお、a～nは各々第3図の信号a～nに対応する。

はじめ、第3図(a)の符号変換動作を第4図(a)に従って説明する。ここで、信号入力端子1に加えられる符号列aは2値NRZ信号と仮定し、クロック入力端子2に加えられるクロックbはデューティ50%の方形波と仮定する。信号入力端子1に加えられる符号列aは否定回路4に加えられ、否定回路4の出力として信号cを得る。クロックb

と信号cの論理積を論理積回路5でとることにより、論理積回路5の出力として符号列aの“0”に対応する信号dを得る。“1”に対応する符号は、クロックbと該クロックbを遅延時間が  $\frac{T}{4}$  (Tはクロック周期)の遅延回路6で遅延させた信号cとの排他的論理和を排他的論理和回路7でとり、該排他的論理和回路7の出力fと符号列aの論理積を論理積回路8でとることにより、該論理積回路8の信号gとして得る。これら“0”に対応する信号dと“1”に対応する信号gとを論理和回路9に加えることにより、符号出力端子に変換信号出力hを得る。

次に、第3図(b)の逆変換動作を第4図(b)に従って説明する。まず第3図(a)で得られた変換符号信号hは符号入力端子11に加えられる。第1図で説明したように、該信号hはクロック周期  $T$  ごとに必ずパルスの立上りがある。このため、信号hを単安定マルチバイブレータ14に加えて信号iを得、これをJKフリップフロップ16のJ入力とするとともに、信号iを遅延時間  $\frac{T}{2}$  の遅延回路

15で遅延させた信号jを上記JKフリップフロップ16のK入力とすることで、該JKフリップフロップ16のQ出力hが再生クロックとなる。変換符号信号hが“1”の連続の場合には  $\frac{T}{2}$  ごとに立上りがあるため、立上り時点でJKフリップフロップ16のJ入力およびK入力が同時にHレベルになり、JKフリップフロップ16の初期状態に応じて、再生クロックkは位相が  $\pi$  だけ違った2つの状態が考えられる。しかし、“0”が一つでも含まれると、立上りの間隔が  $T$  となるため、この時点で再生クロックkの位相は正しく設定される。符号の逆変換は、再生クロックkでタイミングをとるので、上記位相のシフトについては問題にならない。さて、変換符号の“0”、“1”の相違は2番目の  $\frac{T}{4}$  と3番目の  $\frac{T}{4}$  の部分にある。ここでは、3番目の  $\frac{T}{4}$  の部分の相違に着目して逆変換することとする。入力端子11の変換符号信号hを遅延時間  $\frac{3}{8}T$  の遅延回路17で遅延させた信号lをDフリップフロップ19のD入力とし、また再生クロックkを単安定マルチバイブレータ18で、パルス幅が  $\frac{T}{4}$  より小さい

信号  $m$  に直し、該信号  $m$  を D フリップフロップ 19 のクロック入力とする。この時、D フリップフロップ 19 の Q 出力が再生符号信号  $n$  となる。

以上の説明においては、論理 "0" に対応して、最初の  $\frac{T}{2}$  が H レベル、続く  $\frac{T}{4}$  が L レベルの符号を、論理 "1" に対しては最初の  $\frac{T}{4}$  を H レベル、続いて  $\frac{T}{4}$  ごと L レベル、H レベル、L レベルの符号を対応させるとしたが、「0」と「1」の対応関係をまったく逆にしても同一の効果が得られる。また、「H レベル」と「L レベル」を逆にしても同様である。したがって、「0」に対応して、最初の  $\frac{T}{2}$  が L レベル、続く  $\frac{T}{4}$  が H レベルの符号を、「1」に対しては最初の  $\frac{T}{4}$  を H レベル、続く  $\frac{T}{4}$  ごと L レベル、H レベル、L レベルの符号を対応させる方法や、「0」に対応して、最初の  $\frac{T}{4}$  を L レベル、続く  $\frac{T}{4}$  ごと H レベル、L レベル、H レベルの符号を、「1」に対しては最初の  $\frac{T}{2}$  を H レベル、続く  $\frac{T}{2}$  を L レベルの符号を対応させることも、本発明の範囲に含まれる。

以上説明したように、本発明の符号形式によれ

特開昭54-13708(3)

ば、デジタル信号の電力スペクトラムに直交成分を有さず、パルスの立上りがクロック周期  $T$  ごとにあるという特長をもっているため、真直しや断特性の伝送路に適応でき、かつ、クロックの再生もタンク回路を必要とせずデジタル回路で処理できるという利点がある。

図面の簡単な説明

第1図は本発明による符号形式の説明図、第2図はその変換符号列の一例、第3図は本発明の一実施例の回路図、第4図は第3図の動作を説明するためのタイムチャートである。

1…信号入力端子、2…クロック入力端子、3…符号出力端子、4…否定回路、5…論理積回路、6…遅延回路、7…排他的論理和回路、8…論理積回路、9…論理和回路、11…符号入力端子、12…クロック出力端子、13…信号出力端子、14…単安定マルチバイブレータ、15…遅延回路、16…JK フリップフロップ、17…遅延回路、18…単安定マルチバイブレータ、19…D フリップフロップ。

図1図

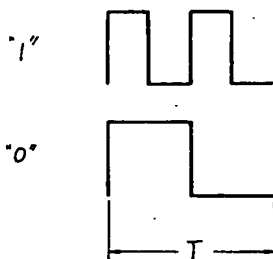


図2図

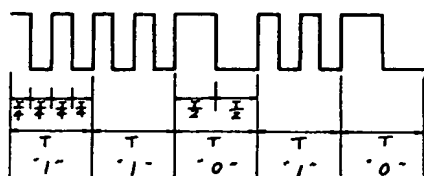
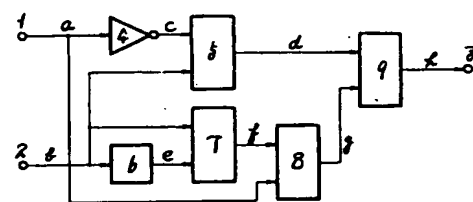
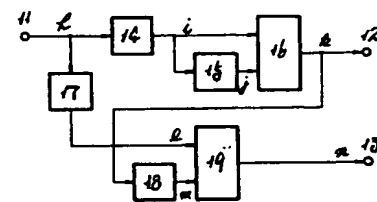


図3図  
(a)

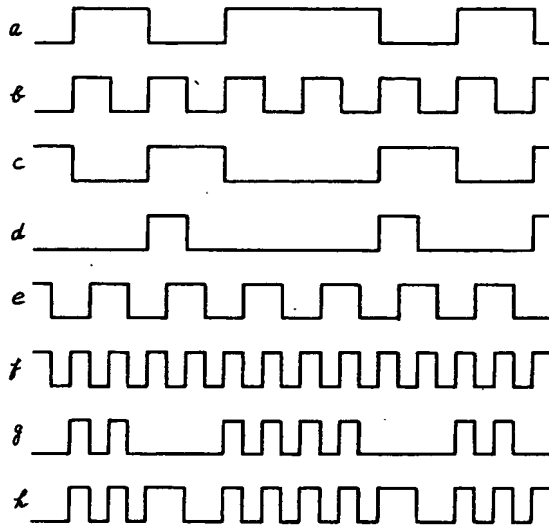


(b)



特開昭54-13708 (4)

才 4 図  
(a)



才 4 図  
(b)

